

B/2631
CFW



IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Last Name of First Named Inventor:
LEE

MAIL STOP: ISSUE FEE

Application No. 10/047,928

Confirmation No.: 2932

Attorney Docket No. 1462-P02710US0

Filed: October 23, 2001

Group Art Unit: 2631

For: Device For Recovering
Burst-Mode Optical Clock

Examiner: Phu, Phuong M

Certificate of Mailing Under 37 CFR §1.8(a)

I hereby certify that this correspondence is being deposited on March 24, 2005 with the United States Postal Service as first class mail in an envelope addressed to Commissioner for Patents, Mail Stop Issue Fee, Alexandria, VA 22313-1450.

March 24, 2005

Date of Certificate


Joan Rodgers

SUBMISSION OF PRIORITY DOCUMENT

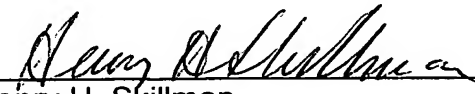
Applicants have claimed the benefit of the filing of the following foreign application(s):

Prior Foreign Application Number(s)	Country	Foreign Filing Date (MM/DD/YYYY)
2000-0062445	KR	October 23, 2000

In accordance with the requirements of Rule 55 (35 USC §119), we are filing herewith a certified copy of the above-referenced original foreign application upon which the claim of priority was made.

Respectfully submitted,

DANN, DORFMAN, HERRELL AND SKILLMAN
A Professional Corporation
Attorneys for Applicants

By 
Henry H. Skillman
PTO Registration No. 17,352

Telephone (215) 563-4100
Facsimile (215) 563-4044



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 특허출원 2000년 제 62445 호
Application Number PATENT-2000-0062445

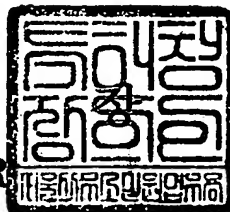
출원년월일 : 2000년 10월 23일
Date of Application OCT 23, 2000

출원인 : 주식회사 로스윈 외 1명
Applicant(s) ROSWIN CO., LTD, et al.



2001 년 10 월 22 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0001
【제출일자】	2000.10.23
【발명의 명칭】	버스트 모드 광 클럭 재생기
【발명의 영문명칭】	Burst-mode clock recovery module
【출원인】	
【명칭】	(주)로스원 대표이사 손호원
【출원인코드】	1-2000-023627-2
【출원인】	
【성명】	홍성용
【출원인코드】	4-2000-023643-6
【발명자】	
【성명의 국문표기】	이혁재
【성명의 영문표기】	LEE, Hyuek Jae
【주민등록번호】	660825-1403011
【우편번호】	390-761
【주소】	대전시 유성구 전민동 엑스포 아파트 106-903
【국적】	KR
【발명자】	
【성명】	홍성용
【출원인코드】	4-2000-023643-6
【심사청구】	청구
【조기공개】	신청
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 심사청구, 특허법 제64조의 규정에 의한 출원공개를 신청합니다. 출원인 (주)로스원 대표이사 손호원 (인) 출원인 홍성용 (인)

【수수료】

【기본출원료】 14 면 39,000 원

【가산출원료】 0 면 0 원

【우선권주장료】 0 건 0 원

【심사청구료】 2 항 173,000 원

【합계】 212,000 원

【감면사유】 소기업 (70%감면)

【감면후 수수료】 63,600 원

【첨부서류】 1. 요약서·명세서(도면)_1통 2. 소기업임을 증명하는
서류_1통

【요약서】

【요약】

본 발명은 광통신 시스템에 있어서 버스트 모드 형태의 광 데이터를 수신함과 동시에 클럭을 추출하는 방법에 관한 것으로, PON(Passive Optical Network) 등과 같은 광 가입자 망에 있어 핵심이 되는 부분이다.

기존의 광 수신기는 연속된 광 데이터의 수신을 목표로 하며, 클럭 재생을 위해서 주로 PLL (Phase Locked Loop) 방법을 주로 이용하고 있다. 그러나, 광 데이터가 패킷 형태가 되면, 즉, 어느 일정한 시간에 데이터가 있다가 없는 매우 불규칙하게 데이터가 전송되는 광 데이터에 대해서는 PLL 방법은 적당하지 않다. 왜냐하면, 일정 시간 데이터가 없다가 데이터가 나타나는 경우에 PLL 방법은 그 데이터를 추적하여 클럭을 뽑아내는데, 일반적으로 상당한 시간을 요하기 때문이다. 따라서, 광 데이터가 나타나는 즉시 클럭을 추출할 수 있는 매우 빠른 동기 시간을 갖는 광 수신기가 요구된다. 이런 요구를 만족시키기 위해 빠른 전기로직과 전기 지연선으로 이루어진 피드백 회로를 사용하거나, 다양한 위상차를 갖는 여러 클럭을 발생시킨 후, 그 중에서 가장 위상이 근접한 클럭을 뽑아내는 방식이 일반적이다. 그러나, 후자의 방법은 전자의 방법보다 회로적으로 복잡하며, 입력 데이터의 클럭 주파수가 약간 변해서 입사할 경우, 제대로 클럭을 추출할 수 없는 단점을 갖는다. 본 발명에서는 전자의 방법을 채택하고 있으며, 기존의 방법을 개선시켜 더욱 안정적이고 빠른 동기 시간을 갖는 버스트 모드 클럭 재생기를 제안한다.

1020000062445

출력 일자: 2001/10/23

【대표도】

도 5

【색인어】

광 수신기, 클럭 추출, 클럭 재생, 버스트 모드 수신기, 광통신

【명세서】**【발명의 명칭】**

버스트 모드 광 클럭 재생기{Burst-mode clock recovery module}

【도면의 간단한 설명】

도 1은 수동형 광 네트워크 시스템의 구조

도 2는 버스트 모드 클럭 재생에 관한 기존 특허의 구조도

도 3,4는 기존 특허의 구조를 설명하기 위한 타이밍 다이어그램

도 5 는 본 발명에서 제안하는 구조도

도 6,7 는 본 발명의 구조를 설명하기 위한 타이밍 다이어그램

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<6> 본 발명에서는 광 가입자 망을 구성함에 있어서 핵심 기술인 버스트 모드 광 클럭 재생기의 새로운 방법을 제안한다. 인터넷이 일반화되고 정보통신에 대한 생활의 의존도가 높아지면서 서비스 요구 대역폭이 함께 높아가고 있는 실정이다. 향후 2000년대를 대비하여 각 가정마다 155Mbps 이상의 속도로 광 케이블을 연결하자는 FTTH (Fiber to the home) 전략에 발 맞추어 세계 선진국들은 이에 대한 연구 개발 중에 있으며, 수동형 광 네트워크(PON, Passive Optical Network)을 가장 현실적인 방법으로 보고 있다. PON은 그림 1 과 같이 크게 OLT(Optical Line Termination), ODN(Optical Distribution Network),

ONU(Optical Network Unit)로 구성된다. 여기서, 버스트 모드 광 클럭 재생기는 OLT에 위치한다. OLT에서 ONU 쪽의 하향 데이터는 TDM(Time Division Multiplexer)으로 보내진다. 즉, 가입자 정보 전송을 위해 N개의 타임 슬롯을 갖고, 이 모든 정보는 N 가입자 모두에 전달되는데, 이중 자기에게 할당된 타임 슬롯만을 접속하여 정보를 수신한다. 반면에, ONU에서 OLT로의 데이터 전달은 Ranging이라는 과정을 거쳐 각 가입자에서 전자적으로 시간을 조정해서 도 1과 같이 주어진 타임 슬롯에 데이터가 위치하도록 한다. 이때, OLT로 수신되는 광 신호는 각 가입자에 따라 신호의 크기와 위상이 다르게 된다. 따라서, OLT에 위치한 버스트 모드 광 수신 모듈은 우선 광 신호를 전기 신호로 변환한 후, 신호 크기를 일정하게 만들고, 각 슬롯 데이터에 맞게 순간적으로 클럭을 추출해야 한다. 이와 같은 버스트 모드 광 수신 기술은 패킷 신호를 다루는 데이터 통신 어디에도 적용될 수 있는 일반적이며 포괄적인 기술이기 때문에 그 적용 범위가 매우 넓다.

<7> 버스트 모드 광 클럭 재생기를 위해서 그 동안 크게 두가지 부류로 제안되었다. 첫 번째 방법은 고속 로직 게이트와 피드백 회로를 이용하는 방법이고, 두 번째 방법은 서로 다른 위상을 갖는 여러 클럭을 생성한 후 그중 입력 신호와 가장 근접한 클럭을 뽑아 내는 방법이다. 첫 번째 방법의 대표적인 특허를 도 2 (미국특허 : US04604756, Siemens 특허)에 보였고, Lucent에서 발표된 (IEEE Journal of Lightwave Technology, Vol. 12, pp.325-331, 1994) 두 개의 Gated Oscillator를 이용하는 방법이 대표적이다. 두 번째 방법은 Alcatel에서 (IEEE Journal of Lightwave Technology, Vol. 12, pp.271-279, 1994) 발표된 방법으로

서로 다른 여러 개의 위상을 갖는 다중 클럭 중에서 입력되는 데이터와 가장 근접한 클럭을 상관기를 이용하여 뽑아내는 방법이다.

<8> 버스트 모드 클럭 재생을 위해 Lucent 와 Alcatel에서 발표된 방법은 도 1(Siemans 특허)에서 보여준 방법에 비해 너무 복잡하며, 고속 동작 하기 어려운 점이 있다. 따라서, 본 특허에서는 도 2 에 보여준 방법을 기본으로 하며, 이 방법을 개량하여 더욱 안정되고 신뢰성있는 버스트 모드 클럭 재생을 수행할 수 있도록 한다. 우선, 도 2에 보여준 방법을 자세히 살펴보자.

<9> 도 2에서의 방법은 $T/2$ 전기 지연선 (1), XOR 게이트 (2), OR 게이트(3), Monostable Multivibrator (4), T 전기 지연선(5) 으로 이루어져 있다. 도 3에 도 2의 방법을 설명하기 위한 타이밍 다이어그램을 나타내었다. 데이터 1 비트의 시간을 T 라고 할 때, 도 3과 같이 eT 의 임의 데이터가 들어간다 가정하자. 이 데이터는 두 신호 갈라져 하나의 신호는 시간지연 없이 XOR게이트 (2)로 들어가고, 또 다른 하나는 $T/2$ 시간 지연선 (1)를 거쳐 XOR게이트 (2)로 들어간다. 그 결과로 도 3에서와 같이

e_2 신호가 만들어진다. 여기서, 게이트 전파 시간은 무시하고 생각하기로 하자. 이 신호 (e_2)는 OR게이트 (3)로 들어가는데, 이때, OR 게이트 (3)의 또 다른 입력인 피드백 신호 e_4 는 0레벨 (T_1 시간에서)이라 가정하면, OR 게이트 (3)의 출력은 Monostable Multivibrator (4)를 통과하여 e_3 신호와 같이 출력된다.

Monostable Multivibrator (4)는 OR 게이트 (3)의 출력 신호의 rising edge를 검출하여, 그 edge에 동기가 되어 $T/2$ 시간 만큼 레벨 '1'을 만들고 다시 레벨 '0'로 떨어지는 작용한다. T_1 시간에서의 e_3 신호는 피드백 루프에 있는 T 전기 지연선 (5)를 거쳐 다시 OR 게이트 (3)의 입력 신호로 들어간다. 따라서, 이 피드백 신호 때문에 입력 데이터가 없는 T_5 , T_6 구간 같은데서 클럭이 출력된다. 그러나, 피드백 루프 안에 있는 T 전기 지연선이 입력 데이터 주기 T 보다 작은 경우에는 극단적으로 불안정해지는 단점을 갖는다. 그것에 대한 설명을 도 4에 보였다.

<10> 피드백 루프 안에 있는 전기 지연선 시간을 T_f 라 하면, T_f 가 T 보다 약간 클때는 도 4 (가)에서와 같이 입력 데이터에 의해 생성된 e_2 신호의 rising edge에 동기가 되어 안정적으로 동작 할 수 있다. 그러나, 도 4 (나)와 같이 T_f 가 T 보다 약간 작을 때는 피드백 되는 e_4 신호의 rising edge에 동기가 되어 e_3 신호가 출력되는데, 이 신호가 다시 피드백 되면, $T-2\epsilon$ 위치에 클럭이 나타난다. 따라서, 계속 피드백 될 경우 입력 데이터와는 무관한 신호가 발생되며, 극히 불안정해진다. 본 특허에서는 이 문제를 해결하는 방법을 제안한다.

【발명이 이루고자 하는 기술적 과제】

<11> 본 발명은 상기와 같은 문제점을 해소하기 위해 부가적인 회로를 첨가하여 피드백 전기 지연선이 입력 데이터의 주기인 T 보다 약간 크던지 작던지에 관계없이 안정적으로 동작할 수 있는 새로운 방법을 제안한다. 상기의 기존 방법은 저속 버스트 모드 데이터의 클럭 재생에는 별 문제는 없어 보이나, 만일 입력 데이터의 속도가 높아지면, 처음에 $T_f = T + \epsilon$ ($\epsilon > 0$)으로 고정시켰다 하더라도 온도나 여러 가지 요인에 의해 T_f 의 값이 변화될 수 있다. 따라서, 클럭 재생기 회로가 불안정해 질 수 있다.

<12> 버스트 모드 클럭 재생기의 근본 원리는 입력 데이터가 있을 때는 입력 데이터에 동기가 맞는 클럭이 생성되다가, 데이터가 없는 구간에서는 피드백 주기를 갖는 클럭이 발생되도록 하는 것이다. 즉, 도 2에서 $T_f = T + \epsilon$ ($\epsilon > 0$)인 경우, 처음에 데이터 '1'이 들어오고, 연속적으로 N 개의 '0' 데이터가 입사되면 $N \times \epsilon$ 의 오차가 발생한다. $N \times \epsilon$ 의 값이 T 보다 크기 전에 '1'의 데이터가 들어와야 다시 클럭이 데이터에 정확하게 동기가 맞게된다. 다시말해, 도 4 (가)에서와 같이 입력 데이터로부터 만들어진 e_2 신호에 의해 e_3 가 생성되는데, e_4 에 $N \times \epsilon$ 만큼 지연된 펄스가 들어오더라도, e_3 는 e_2 의 rising edge에 동기가 맞아 클럭이 출력되게 된다. 이때, 누적된 오차가 새로 입사되는 데이터에 의해 reset된다. 그러나, 도 2에서의 방법은 $T_f = T + \epsilon$ ($\epsilon < 0$)에 대해서는 작동이 안 되는데, 본 발명에서 그 단점을 해결하고자 한다.

【발명의 구성 및 작용】

<13> 도 5 에 본 발명에서 제안하는 버스트 모드 클럭 재생기의 구조를 나타냈다. 제안되는 구조는 T/2 전기 지연선 (1), XOR 게이트 (2), T 전기 지연선 (3), NOR 게이트 (4), AND 게이트 (5), OR 게이트 (6), T/2 전기 지연선(7), T/2 전기 지연선 (8)로 이루어져있다. 도 5를 설명하기 위해 도 6에 타이밍 다이어그램을 나타내었는데, 설명을 쉽게 하기 위해 '100000...'의 데이터가 입사하는 경우를 생각하겠다. 입사하는 데이터 e1은 T/2 전기 지연선 (1)와 XOR 게이트 (2)에 의해 e2와 같은 데이터를 출력한다. e2 신호가 도 5에서 'A' 점선박스를 통과하면, e3와 같은 데이터를 출력한다. 여기서, 주목할 점은 e3의 빗금 친 부분의 펄스를 제외하고 나머지 부분이 레벨 '1'로 되어있는 점이다.

<14> 그리고, OR 게이트 (6)을 통과하는 e2 신호는 T/2 전기 지연선 (7)을 거쳐 e4와 같은 신호가 된다. e3 와 e4 는 AND 게이트 (5)에 의해 e5 신호가 출력되고, 이 신호는 다시 T/2 전기 지연선 (8)을 거쳐 OR 게이트 (6)의 입력으로 피드백 된다. 제안하는 도 5의 구조를 상기의 도 2와 비교해 볼 때, 도 5에서 점선 박스 부분인 'A'을 제외하고 거의 비슷한 구조를 갖는다. AND 게이트 (5), OR 게이트 (6), T/2 전기 지연선 (7), T/2 전기 지연선 (8)로 이루어진 피드백 루프는 전체 T 만큼의 피드백 지연 시간을 주며, 입력 데이터가 없을 때, 도 2의 방법에서와 같이 클럭을 발생 시키는 역할을 한다. 문제는 T/2 전기 지연선 (7)과 T/2 전기 지연선 (8)로 이루어진 피드백 시간 $T_f = T + \epsilon$ 이 $\epsilon > 0$ 이거나 혹은 $\epsilon \leq 0$ 인 경우에도 안정하게 동작하도록 해야하는 것이다. 도 5의 빗금 박스 'A'의 출력 e3을 살펴 보면, e2와 동일한 패턴을 가지면서(빗금침 부분) 나머지 시

간 영역에서는 '1' 값을 갖기 때문에 AND 게이트 (5)에 의해 빗금친 부분이 새로운 클럭으로 e5로 출력된다.

- <15> 본 발명에서 제안하는 방법이 $T_f = T + \epsilon$ 에서 $\epsilon > 0$ 이거나 혹은 $\epsilon \leq 0$ 인 어느 경우에서도 입력 데이터에 의해 새로운 클럭이 발생될 수 있음을 보이기 위해 도 7에 양 경우에 대한 타이밍 다이어그램을 보였다. 도 7(가)는 $\epsilon > 0$ 인 경우의 타이밍 도인데, 피드백 루프의 시간지연이 ϵ 만큼 커져 e4의 두번째 펄스가 넓어지는 영향을 준다. 그러나, 이 펄스는 입력펄스로부터 만들어진 e3의 빗금친 펄스와 AND (5) 게이팅되어 다시 e5와 같이 안정된 클럭을 만들어 낸다. $\epsilon < 0$ 인 경우를 도 7(나)에 보였는데, 역시 마찬가지로 e4의 두 번째 펄스와 같이 펄스폭이 넓어졌지만, 입력데이터로 만들진 e3의 빗금친 펄스와 AND (5) 게이팅되어 안정된 클럭을 만들어 낼수 있게 된다.

【발명의 효과】

- <16> 이상에서 상술한 바와같이 본 발명은, 버스트 모드 데이터로부터 클럭을 추출하는 새로운 방법으로 기존의 방법에서 해결하지 못한 피드백 신호에 의한 불안정 원인을 해결할 수 있으며, 아주 간단한 로직과 전기 지연선 추가만으로 회로를 구현할 수는 장점이 있다. 따라서, 고속 버스트 모드 클럭 재생기로 사용될 수 있으며, 버스트 모드 뿐만 아니라, 연속적인 데이터의 클럭 추출에도 역시 사용할 수 있다.

【특허청구범위】

【청구항 1】

클럭 재생기에 있어서,

도 5에서 와같이 T/2 전기 지연선 (1), XOR 게이트 (2), T 전기 지연선(3), NOR 게이트 (4), AND 게이트 (5), OR 게이트 (6), T/2 전기 지연선 (7), T/2 전기 지연선 (8) 로 이루어져 있는 구조.

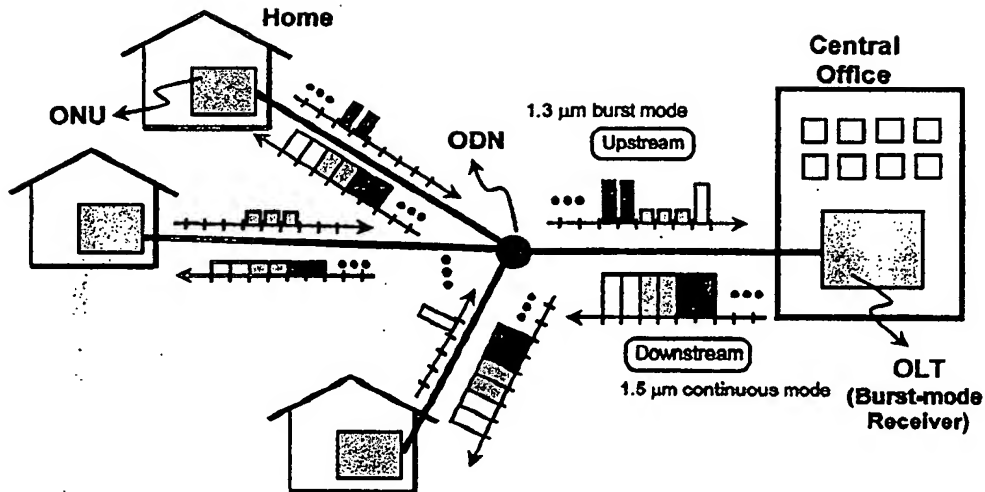
【청구항 2】

제 1 항에 있어서,

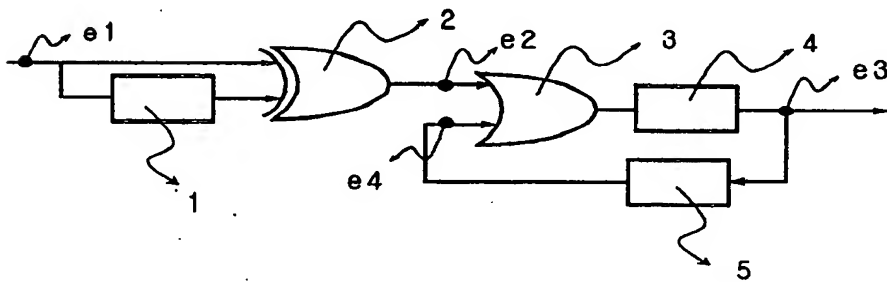
도 5 의 T 전기 지연선 (3), NOR 게이트 (4)로 구성된 빗금 박스 'A'를 대신하여 도6 의 e3 신호를 만들어 낼 수 있는 것을 특징으로 하는 구조.

【도면】

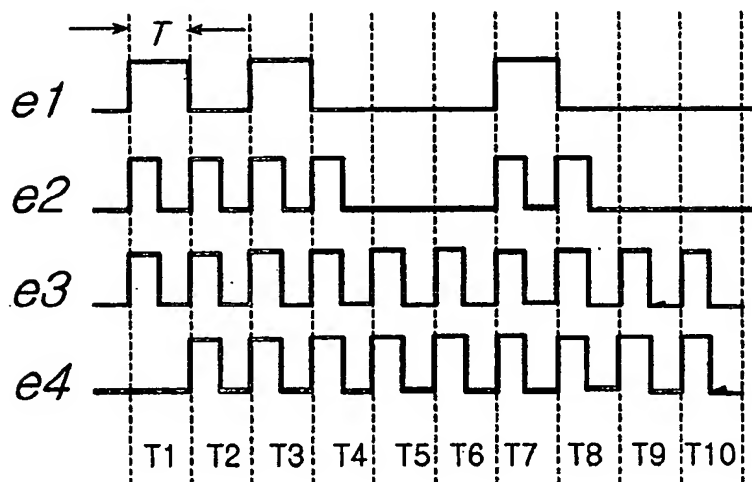
【도 1】



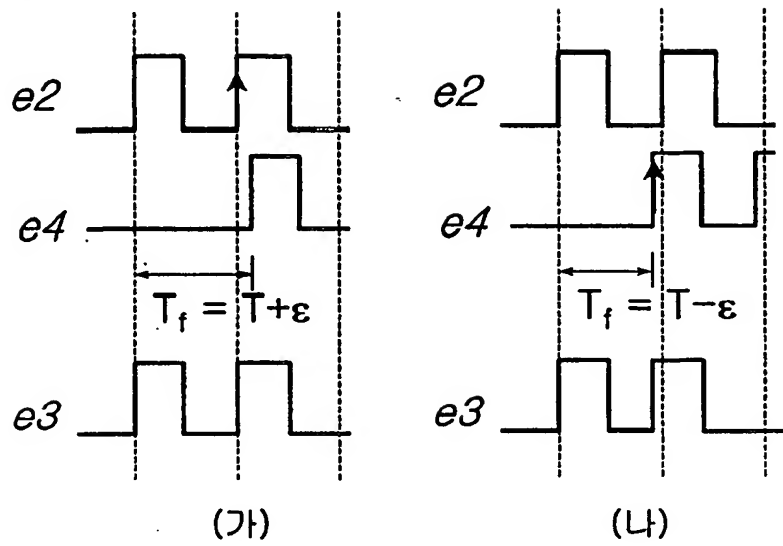
【도 2】



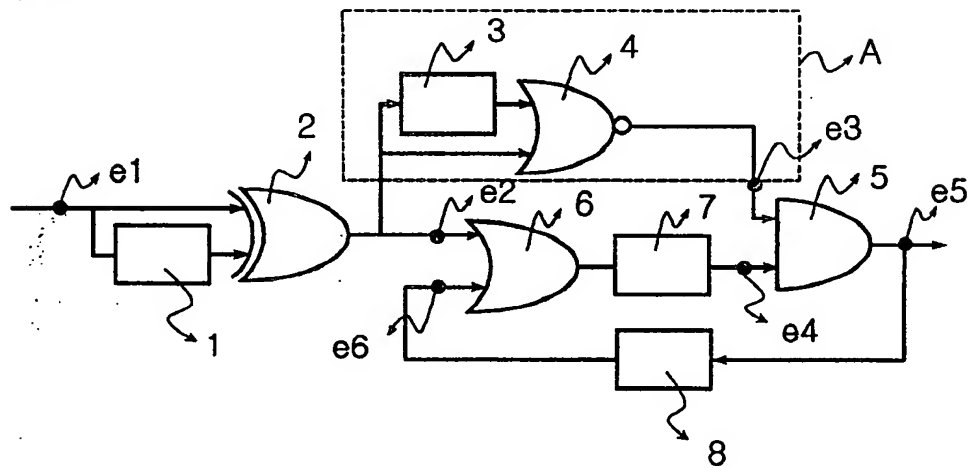
【도 3】



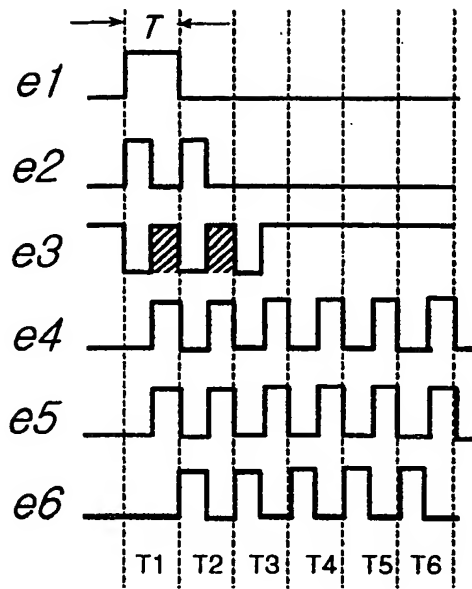
【도 4】



【도 5】



【도 6】



【도 7】

